

MANUFACTURE OF SEMICONDUCTOR DIODES

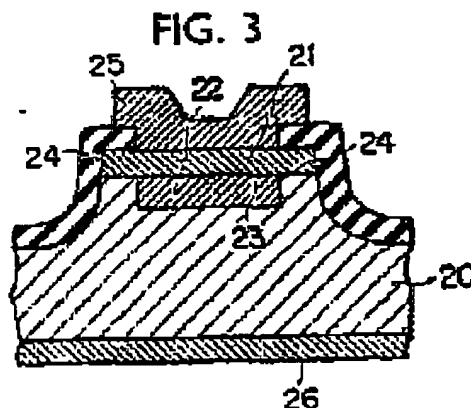
Patent number: JP48074171
Publication date: 1973-10-05
Inventor:
Applicant:
Classification:
- international: H01L1/10
- european: H01L21/00; H01L23/29; H01L23/31P; H01L29/00;
H01L29/93
Application number: JP19720001629 19711229
Priority number(s): JP19720001629 19711229

Also published as:

NL7217867 (A)
GB1382730 (A)
DE2264126 (A1)

Report a data error here

Abstract not available for JP48074171
Abstract of corresponding document: GB1382730
1382730 Semi-conductor devices HITACHI Ltd
28 Dec 1972 [29 Dec 1971] 59909/72 Heading
H1K A semi-conductor diode comprises a body
20, of one conductivity type, including a mesa
portion, the portion having a surface layer 21 of
the opposite conductivity type, and a region 22 of
the one conductivity type situated below the layer
21 and forming a PN junction 23 therewith,
junction 23 being encircled by the junction 24
between the remainder of the layer and the body,
the arrangement, including electrodes 25, 26,
resulting in a diode exhibiting desired capaci-
tance and reverse breakdown effects. The layer
21 may be produced by a boron diffusion, and
region 22 by phosphorus ion implantation. The
mesa surface may be passivated by vapour
deposited layers of silicon dioxide and phos-
phosilicate glass. In a further embodiment two
regions, similar to region 22 are formed beneath
the layer, the arrangement resulting in a linear
voltage/capacitance characteristic.



Data supplied from the esp@cenet database - Worldwide



(0.0007)

特 許

02

特許法第38条ただし書の規定による
特許出願

昭和48年12月29日

特許庁長官 殿

発明の名称 半導体装置

特許請求の範囲に記載された発明の数 2

発明者

氏名

東京都国分寺市国分寺1丁目280番地
株式会社日立製作所中央研究所内

住所

池田 隆 英

特許出願人

氏名 東京都千代田区丸の内一丁目5番1号

株式会社日立製作所

代表者 吉 山 博 吉

代理人

氏名 東京都千代田区丸の内一丁目5番1号

株式会社日立製作所内

電話東京 270-2111 (代)

氏名 (237) 池田 隆 英

明 細 書

発明の名称 半導体装置

特許請求の範囲

(1) 半導体フロをメサ型に形成したダイオードにおいて、メサ領域の内部の一部分または複数部分のみに、局部的に接合面より深くまで到達する如く活性不純物をイオン打込み法にてドーピングしたことを特徴とする半導体装置。

(2) 前記活性不純物はメサ型ダイオードの接合面の伝導型とは逆の伝導型を与える不純物であり、そのドーピングする濃度はメサ型ダイオードの基板側の不純物濃度よりも高いことを特徴とする特許請求の範囲第1項記載の半導体装置。

発明の詳細な説明

本発明は、イオン打込みを用いた可変容量ダイオードまたはフエナーダイオードに関するものである。

従来拡散法を用いた可変容量ダイオードあるいはフエナーダイオードは第1図に示すように、プレーナ構造を用い、先ず基板と同じ導電型の拡散

領域2を形成した後、基板と反対導電型の不純物拡散領域3を形成して構成された。領域2が可変容量ダイオードにおいては容量の変化をもたせる不純物濃度分布、フエナーダイオードにおいては耐圧を規定する不純物濃度分布を持つた領域で、不純物濃度分布の精密な制御が必要とされる。しかし、拡散法では不純物濃度分布の精密な制御が困難であり、最近では、不純物濃度分布の制御性が良いイオン打込み法が、領域2の形成に用いられるようになってきた。ところで、イオン打込みを用いる場合領域2の形成深さは打込みエネルギーで定まるが、通常利用できるエネルギーは100keV~200keV程度である。最もよく用いられるりんイオンの場合、200keVのエネルギーでりん平均行程は0.25μmであるため、接合深さはこれより浅くする必要がある。第1図の構造で接合を浅くすると接合周辺の曲率半面が非常に小さくなり、この部分に電界の集中が起るため耐圧が低下する。したがって、浅いプレーナ法による耐圧の低下を避けるため、第2図

⑩ 日本国特許庁

公開特許公報

⑪特開昭 48-74171

⑫公開日 昭48.(1973)10 5

⑬特開昭 47-1629

⑭出願日 昭46(1971)12 29

審査請求 有 (全7頁)

庁内整理番号

⑮日本分類

6884 57

9903B1

7357 57

9903G1

7357 57

9903G21

に示すようなメサ構造が考えられる。しかし、ダイオード形成後、表面保護膜4をつける必要があるが、通常用いられるCVD法(Chemical Vapour Deposition)によるSi酸化膜中にはNaなどのイオン化した正電荷が存在し、この電荷のためp+n接合の保護膜に接した部分のn側がn⁺になる。このためp+n⁺の接合になり、この部分の耐圧が低下する。以上のようにイオン打込みを用いる場合従来のプレーナ構造、メサ構造では接合周辺における耐圧の低下が大きな問題である。

本発明は第2図の構造における耐圧の低下を少なくしたものである。すなわち、第3図に示すように、領域2をメサ領域の内部にのみ形成し、表面保護膜に接するn領域を基板1と同じ低濃度の領域にできるようにする。この場合表面保護膜に接した部分が保護膜中の正の電荷によってn⁺の傾向になることは第2図の場合と同様であるが、基板の濃度が低いため、その影響は少なくなる。

以下に実験例および、本方法の実施例を示す。

より低い。つぎに、第4図に示した過程によって本発明である第3図のダイオードを上記述べたのと同じプロセスを用いて形成した。すなわち、シリコンの全面拡散を行なった後メサエッチングを行い、表面保護膜を形成し、2の領域を打込むための穴あけを行なった後、りんイオンを上記と同じ条件で打込み、最後に900℃で10分の熱処理を行なった。この場合のダイオードの耐圧は約3.5Vであり、第2図の構造より向上することがわかった。

また、第5図は、メサダイオードの内部の2箇所異なる条件のイオン打込みを行なつて可変容量ダイオードを構成し、容量の電圧依存性を所定の特性に近づけたものである。第5図の(a)、(b)は第4図と同じで、先々シリコンの浅い拡散(0.15μ)、メサエッチング、CVD法によるSiO₂膜の形成とフォトリソグラフィ技術によるイオン打込み部分の穴あけを示している。(a)では、150kVの加速エネルギーでりんイオンを3×10¹⁵/cm²打込み領域2を形成する。次に(b)では再び

実施例 図4-74171②

基板に1Ω・cm(5×10¹⁸/cm³の不純物濃度)のn型基板を用い、まず、通常のフォトリソグラフィおよびプレーナ技術を用い、BNのソースからシリコンの浅い拡散(900℃、20分の拡散条件で接合深さは0.15μ)と行なうと、第1図の構造では、イオン打込みにより領域2を形成する前にすでに耐圧は20Vに達した。つぎに、上と同じ条件のシリコンの拡散をウェハ全面に行ない、続いて、200kVの加速エネルギーでりんイオンを3×10¹⁵/cm²の打込みを行なつた後、メサダイオードを形成(エッチングはHF:HNO₃=1:4.0の液で1分間行なう)し、次に450℃の温度でCVD法によりSiO₂膜を3000Å、りんガラスを4000Åつけた後800℃で10分間の熱処理を行なつて表面保護膜を形成した。フォトリソグラフィ技術により電極部分の穴をあけた後、ダイオードの耐圧を測定すると2.5V-2.8Vで多くなった。すなわち、第2図の構造では、第1図の構造より耐圧は向上するが、2の領域の不純物濃度から計算される耐圧(3.5V)

CVD法によるSiO₂膜の形成を行なった後第2の打込み部分の穴をあけ、この部分に300kVでりんイオンを3×10¹⁵/cm²打込み、領域6を形成する。領域2および領域6の部分の容量の電圧依存性およびこれらを結合したダイオード全体の容量の電圧依存性を図6に示す。Aは領域2、Bは領域6の部分の容量の電圧依存性、A+Bはダイオード全体の容量の電圧依存性を示す。即ち、このような方法を用いることにより、容量の電圧依存性の直線性が良くなる。なお、同一部分に種々の条件のイオン打込みを行なつて容量の電圧依存性を調整することもできるが、打込み量が多くなつて耐圧が低下する恐れがある。

以上に述べたように、本発明による構造を用いることにより、浅いイオン打込みを用いた場合でも耐圧を劣化させずに、可変容量ダイオード、ツェナーダイオードを形成することができ、イオン打込みによる精密な分布を十分利用することができ、また、素子製作工程上、本図の方法に従えば、イオン打込み前にメサを形成した状態で素子

の特性を改良出来るため、この工種を越えたもののみを次のイオン打込み工程に進めることが出来、歩留まり向上の観点から極めて大きな利点がある。

図面の簡単な説明

第1図 従来の拡散法を用いたプレーナ型のダイオードの構造。

第2図 従来のメサ型ダイオードの構造。

第3図 メサ型を用いた本発明によるダイオードの構造。

第4図 本発明のダイオードを形成する過程。

第5図 メサ領域内の2箇所にてイオン打込みを行なう場合のダイオードの形成過程。

第6図 第5図のダイオードにおいて、容量の電圧依存性の連続性が改善されていることを示す図。A、Bは矢A領域2および領域3の容量の電圧依存性、A+Bはダイオード全体の容量の電圧依存性を示す。

各図に共通の番号は次のものを示す。

1. 半導体基板
2. 基板と同じ導電型の拡散層又はイオン打

込み層

特開 昭48-74171(公)

3. 基板と反対導電型の拡散層又はイオン打込み層
4. SiO₂膜
5. イオンビーム
6. 基板と同じ導電型のイオン打込み層

代理人 弁理士 藤田利雄

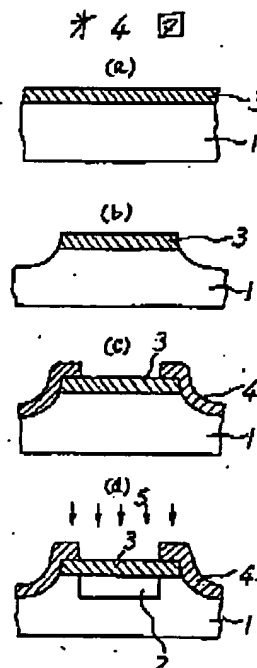
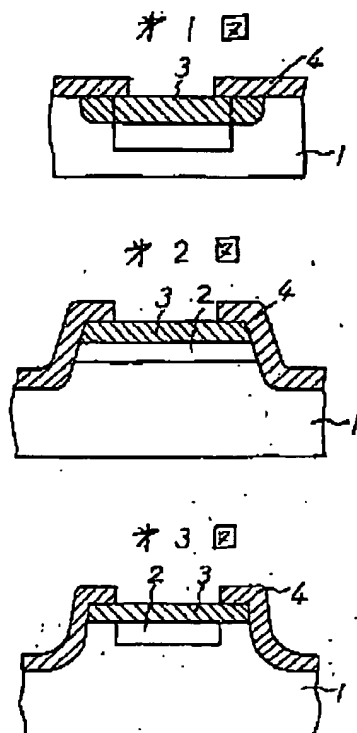
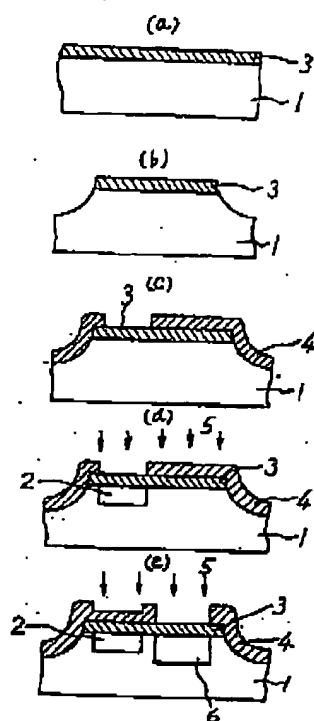
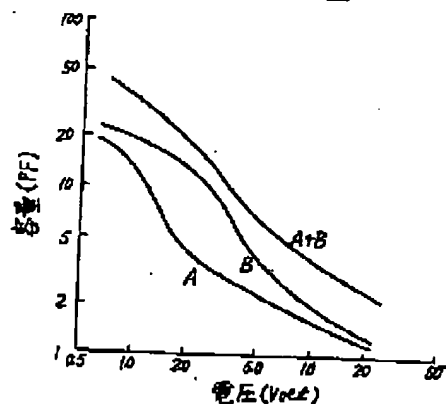


図 5



特開 昭48- 74 171 (4)

図 6



添付書類の目録

- (1) 明 示 書 1 冊
(2) 図 面 1 冊
(3) 電 気 図 1 冊
(4) 特 許 願 書 1 冊

前記以外の発明者、特許出願人または代理人

発 明 者

〒1000 1-20-1 東京都千代田区丸の内1丁目280番地
株式会社 日立製作所 中央研究所内
青 田 弘 二

住 所 同 上
氏 名 石 川 達 夫
住 所 同 上
氏 名 中 村 留 夫

手 続 補 正 書 (自 願)

昭和47年 6 月 1 日

特許庁長官 井 土 康 久 殿

1 事件の表示

昭和47年特許願第16822号

2 発明の名称

半導体装置

3 補正をする者

事件との関係 特許出願人

名称- (510) 株式会社 日立製作所

4 代理人

住所 東京都千代田区丸の内二丁目2番1号
丸ビル601区(〒100)(電話 214-0803)
氏名 (6036) 代理人弁護士 中 村 純 之 助

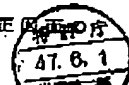
5 補正の対象

明細書および図面

6 補正の内容

添付別紙のとおり

本願添付図面の第2図を添付補正図面第1図
とて補正する。



補 正 明 細 書

発明の名称 半導体装置

特許請求の範囲

P-N接合がメサ領域に形成されているダイオードにおいて、該メサ領域の内部の一部分または該接合部分のみに、局部的に該P-N接合を含みかつ該接合面より深くまで到達する如く該ダイオードの表面側領域の伝導型と逆の伝導型の領域が形成されていることを特徴とする半導体装置。

発明の詳細な説明

本発明は、半導体装置、とくにメサ形の変容量ダイオードまたはツェナーダイオードに関するものである。

従来拡散法を用いた可変容量ダイオードあるいはツェナーダイオードは第1図に示すように、プレーナ技術を用い、先ず基板1と同じ導電型の拡散領域2を形成した後、基板1と反対導電型の不純物拡散領域3を形成して構成された。ここで、4は表面保護膜である。領域2が可変容量ダイオ

ードと反対導電型の領域3がメサ領域にあり、領域2および3の側面、すなわちP-N接合がメサ領域の側面に露出して形成されている。しかし、ダイオード形成後、表面保護膜4をつける必要があるが、通常用いられるCVD法（Chemical Vapor Deposition）によるSi酸化膜中にはNaなどのイオン化した正電荷が存在し、この電荷のためP⁺-N接合の保護膜に接した部分のN側がN⁺になる。このためP⁺-N⁺の接合になり、この部分の耐圧が低下する。以上のようにイオン打込みを用いる場合従来のプレーナ構造、メサ構造では接合周辺における耐圧の低下が大きな問題となる。

本発明は第2図に示すようなメサ構造のダイオードにおける耐圧の低下を少なくしたものである。すなわち、第3図に示すように、領域2をメサ領域の内部にのみ形成すると同時に領域3は従来通りに形成し、表面保護膜に接するN領域を基板1と同じ低濃度の領域になるようにする。この場合表面保護膜に接した部分が保護膜中の正の電荷に

特開 昭48-74171(5)

ードにおいては容量の変化をもたせる不純物濃度分布、ツェナーダイオードにおいては耐圧を規定する不純物濃度分布を持った領域で、不純物濃度分布の精密な制御が必要とされる。しかし、拡散法では不純物濃度分布の精密な制御が困難であり最近では、不純物濃度分布の制御性が良いイオン打込み法が、上記領域2の形成に用いられるようになってきた。ところで、イオン打込み法を用いる場合領域2の形成深さは打込み装置のエネルギーで定まるが、通常利用できるエネルギーは100 KeV-200 KeV程度である。最も広く用いられるりんイオンの場合、200 KeVのエネルギーでりん平均飛程は0.26 μmであるため、接合深さはこれより浅くする必要がある。第1図の構造で接合を浅くすると接合周辺の曲率半径が非常に小さくなり、この部分に電界の集中が起るため耐圧が低下する。したがって、浅いプレーナ接合による耐圧の低下を避けるため、第2図に示すようなメサ構造が考えられる。すなわち、この構造では、基板1に形成された基板と同一導電型の領域2と

よってN⁺の傾向になることは第2図の場合と同様であるが、基板の濃度が低いため、その影響は少なくなる。

以下に実験例および、本方法の実施例を示す。基板に1 Ω/cm (5 × 10¹⁵ /cm³の不純物濃度)のN型基板を用い、まず、通常のフォトリソ技術およびプレーナ技術を用い、BNのソースからほう素の浅い拡散(900℃、20分の拡散条件で接合深さは0.15 μm)を行なうと、第1図の構造では、イオン打込みにより領域2を形成する前にすでに耐圧は20 Vになった。つぎに、上と同じ条件のほう素の拡散を基板全面に行ない、続いて、200 KeVの加速エネルギーでりんイオンを3 × 10¹² /cm²の打込みを全面に行なった後、フォトリソングによりメサダイオードを形成(エッチングはH₂P₂O₇:HNO₃=1:40の液で1分間行なう)し、次に450℃の温度でCVD法によりSiO₂膜を5000 Å、りんガラスを4000 Åつけた後900℃で10分間の熱処理を行なって表面保護膜4を形成した。フォトリソング技

察により電極部分の穴をあけた後、ダイオードの耐圧を測定すると25V~28Vであった。すなわち、第2図の構造では、第1図の構造より耐圧は向上するが、2の領域の不純物濃度から計算される耐圧(35V)より低い。つぎに、第4図に示した過程によって本発明である第3図に示したダイオードを上記述べたのと同じプロセスを用いて形成した。すなわち、N形シリコン基板1上に、ほう素の全面拡散を行なってP形領域3を形成した後(図(a))、メサエッチングを行ない(図(b))表面保護膜を形成し、2の領域を打込みのための穴あけを行なった後(図(c))、りんイオン5を上記と同じ条件で打込み、最後に900℃で10分の熱処理を行ないN形領域2を形成した。この場合のダイオードの耐圧は約35Vであり、第2図の構造より向上することがわかった。

また、第5図は、メサダイオードの内部の2個所に異なる条件のイオン打込みを行なって可変容量ダイオードを構成し、容量の電圧依存性を所定の特性に近づけたものである。第5図の(a)、(b)、

用いることにより、強いイオン打込みを用いた場合でも耐圧を劣化させずに、可変容量ダイオードツエナーダイオードを形成することができ、イオン打込みによる精密な分布を十分利用することができる。また、素子製作工程上、本発明の方法に従えば、イオン打込み前にメサを形成した状態で素子の特性を検査出来るため、この工程を経たもののみを次のイオン打込み工程に進めることが出来、歩留まり向上の観点から極めて大きな利点がある。

なお、上記の領域2および6の形成はイオン打込みのみでなく、拡込み拡散などによっても形成することができる。

図面の簡単な説明

第1図 従来の拡散法を用いたプレーナ型のダイオードの構造。

第2図 従来のメサ型ダイオードの構造。

第3図 メサ型を用いた本発明によるダイオードの構造。

第4図 本発明のダイオードを形成する過程。

特開 昭48-74171(公)
(c)は第4図と同じで、夫々ほう素の浅い拡散(0.15μ)、メサエッチング、CVD法によるSiO₂膜の形成とフォトリソグラフィ技術によるイオン打込み部分の穴あけを示している。図(d)の工程では150.KeVの加速エネルギーでりんイオンを3×10¹²/cm²打込みN形領域2を形成する。次に(c)では再びCVD法によるSiO₂膜の形成を行なった後第2の打込み部分の穴をあけ、この部分に300KeVでりんイオンを3×10¹²/cm²打込みN形領域6を形成する。領域2および領域6の部分の容量の電圧依存性およびこれらを総合したダイオード全体の容量の電圧依存性を図6に示す。Aは領域2、Bは領域6の部分の容量の電圧依存性、A+Bはダイオード全体の容量の電圧依存性を示す。即ち、このような方法を用いることにより、容量の電圧依存性の直線性が良くなる。なお同一部分に種々の条件のイオン打込みを行なって容量の電圧依存性を調整することもできるが、打込み量が多くなって耐圧が低下する恐れがある。以上述べたように、本発明によるメサ構造を

第5図 メサ領域内の2個所にイオン打込みを行なう場合のダイオードの形成過程。

第6図 第5図のダイオードにおいて、容量の電圧依存性の直線性が改善されていることを示す図である。

各図に共通の番号は次のものを示す。

- 1 半導体基板
- 2 基板と同じ導電型の拡散層又はイオン打込み層
- 3 基板と反対導電型の拡散層又はイオン打込み層
- 4 SiO₂膜
- 5 イオンビーム
- 6 基板と同じ導電型のイオン打込み層

代理人弁理士 中村 純 之 助

特開 昭48- 74 171 (7)

